

LVDS 中 8B/10B 编码解码器的设计与实现

杨 佩, 张丽娜, 张洵颖, 龚龙庆, 孟中峰

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 在研究了 8B/10B 编码原理的基础上, 针对在 LVDS 中的应用, 提出了一种简单、实用的 8B/10B 编码解码器的实现方法, 并采用 VHDL 语言进行了设计实现, 且完成功能仿真和 FPGA 验证, 编码解码的设计方案数据传输稳定, 符合在 LVDS 中应用的设计要求。

关键词: 8B/10B; 编码; 解码

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)05-0041-03

Design and Realization of an 8B/10B CODEC in LVDS

YANG Pei, ZHANG Li-na, ZHANG Xun-ying, GONG Long-qing, MENG Zhong-feng

(Xi'an Microelectronics Technique Institute, Xi'an 710054, China)

Abstract: In the base of the research of 8B/10B encoding theory, this paper put forward a simple and practical realization method of an 8B/10B CODEC. Moreover, VHDL was used to depict the design. According to the simulation and FPGA validation, the data transmission of the CODEC is stable, and it was accorded with the design commands of application in LVDS.

Key words: 8B/10B; Encoder; Decoder

1 引言

在复杂的电磁环境下正确传输数据受到人们的关注, 而误码率要满足设计要求, 关键在于传输数据所选用的编码方法. 8B/10B 编解码技术是主流传输标准的编解码技术之一, 最初是由 IBM 公司的 Albert X. Widmer 和 Peter A. Franaszek 于 1983 年提出的. 这种编码器是将 8 位的并行数据转换为 10 位的串行数据进行传输的.

8B/10B 编解码技术的特性之一就是保证 DC 平衡, 即平衡位流中 0 与 1 的数量. 8B/10B 编码技术设定传输数据流拥有连续“1”或连续“0”不能超过 5 个, 保证传输的直流成分接近 0, 基线漂移减至最小, 避免因接收端时钟漂移或同步丢失而引起数据丢失. 8B/10B 编码方法具有 DC 补偿功能, 能够保证链路中不随着时间推移而出现 DC 偏移. 这使得信号的转换不会因电压位阶的关系造成信号

错误^[1].

通过 8B/10B 编码, 可以保证传输的数据串在接收端能够被正确复原, 此外, 利用一些特殊的代码 (文中为 K 码), 可以帮助接收端进行还原的工作, 并且可以在早期发现数据位的传输错误, 抑制错误继续发生^[2].

2 8B/10B 编码原理

8B/10B 编码器将一个 8 位数据编码成 10 位, 一共包括 256 个数据码组 (用 $D_{x,y}$ 表示) 和 12 个控制码组 (用 $K_{x,y}$ 表示). 8B/10B 的编码方案是将原始的 8 位数据分成 2 组, 用 y 来表示高 3 位, 用 x 来表示低 5 位. 从高位到低位的 8 位数据依次命名为 H, G, F 和 E, D, C, B, A. 高 3 位编码为 4 位, 依次命名为 f, g, h, j; 低 5 位编码为 6 位, 依次命名为 a, b, c, d, e, i, 如图 1 所示, 编码之后的 4 位数据和 6 位数据组合成 10 位数据^[3]. 如 $D_{0,0} = 000\ 00000$,

收稿日期: 2013-06-25; **修回日期:** 2013-08-09

基金项目: 中国航天科技集团公司第九研究院某预研项目 (2011AA120201)

D6.2=010 00110.

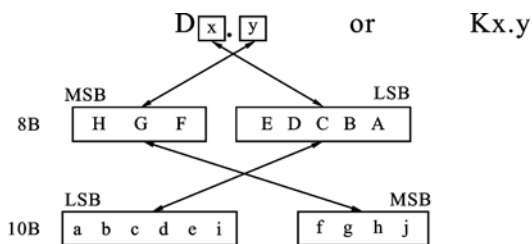


图1 8B/10B 编码方案

为了使编码之后的数据流达到直流平衡,这里引入不平衡度的概念,不平衡度是用“1”的个数减去“0”的个数得到的,如果“1”的个数和“0”的个数相等,则称为完美平衡代码。如果编码后的4位数据块和6位数据块都是完美平衡代码,那么组合成的10位数据也是完美平衡代码,但是,这是不太可能的。因为编码后的4位数据块有16种情况,其中只有6种是完美平衡代码,而3位数据可编码成8种情况,所以这6种完美平衡代码是不够的。同样,编码后的6位数据块有20种可能的情况是完美平衡代码,而5位数据可以编码成32种数据。又由于4位和6位都是偶数的位数,不平衡度的值不可能是+1或者-1,因此,编码后的10位数据代码的不平衡度值只可能是+2、0、-2^[4]。编码器在编码时,用一个极性偏差(running disparity, RD)参数表示不平衡度,根据当前RD值合理选择编码数据,从而使编码后的10位数据的不平衡度为+2、0或-2。

编码器在开始时一般设定RD值为负,即RD-,当编码一个8位数据时,如果编码后的10位数据是完美平衡代码,则RD值不变,如果不是完美平衡代码,则1的个数一定比0的个数多,将使RD值变为正。同样,如果RD值为正,若编码后的10位数据是完美平衡代码,则RD值依然为正,否则,0的个数一定比1的个数多,使得RD值变为负。RD状态如图2所示,描述了当前RD值的计算方法^[3]。

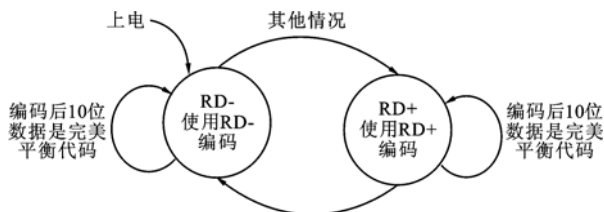


图2 RD 状态图

3 编解码器设计

3.1 总体结构

8B/10B 编解码器在芯片结构中的连接关系

如图3所示,8B/10B 编解码器应用于LVDS接口中,片内互联总线为AMBA总线,LVDS接口作为AMBA AHB总线的从机。编码器模块经发送缓冲区接收来自AHB总线的数据,并将接收到的8位数据编码为10位,经LVDS接口将数据发送出去。解码器模块则从LVDS接口接收10位数据并解码,转换为原来的8位数据,再经接收缓冲传送到AHB总线。

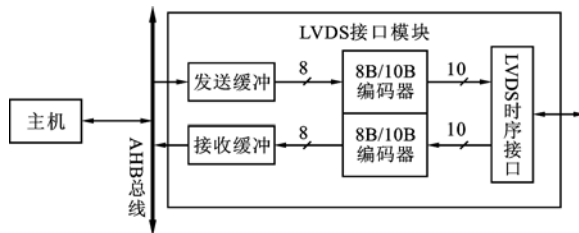


图3 8B/10B 编解码器在芯片结构中的连接关系

3.2 编码器设计

编码器结构框图如图4(a)所示,在逻辑上分为5B/6B编码模块、3B/4B编码模块和控制模块3部分。

5B/6B编码模块和3B/4B编码模块主要由查找表实现。控制模块首先根据kin信号判断接收到的是控制码还是数据码,如果是控制码,根据RD极性直接取值,本文的设计实现了全部12种控制码的编码功能。如果接收到的是数据码,通过查找5B到6B编码表,5B/6B编码模块首先将5B数据直接编码成RD-的6B值,若RD为负,则直接输出编码的6B值,若RD为正,则将编码的6B值取反再输出。接着根据6B值是否为平衡码以及RD值,确定4B的取值,使其满足编码后不平衡度为0、+2或者-2,最后将6B和4B组合成10B输出,从而实现10B码的直流平衡。控制模块主要完成对输入数据正确性的判断,计算RD值并选择6B和4B的编码数据,编码后的RD值则会反馈回控制端,用于下一组数据的编码。此外,若接收到的数据不在编码表的范围之内,将会在k_err端产生错误信息。

3.3 解码器设计

解码器结构框图如图4(b)所示,解码器可分为6B/5B解码模块、4B/3B解码模块和误码检测模块。

相对于编码器来说,解码过程要简单得多,它先将10B数据分割成6B和4B两部分(高低位必须和编码端对应),对它们分别判断是否为正确的码组,然后根据5B到6B编码表和3B到4B编码表将6B和4B分别解码成5B和3B,同时计算它们的RD值,并判断是控制码还是数据码,若是控制码,则由

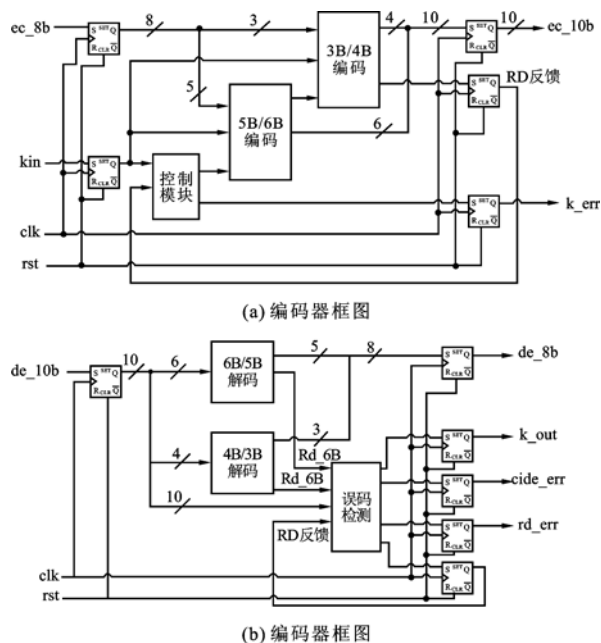


图4 编解码器的设计

信号 k_out 指示。

误码检测模块主要由解码前数据的 RD 值来判断是否接收到错误码,有则产生错误输出 rd_err ,无则将组合成的 8B 并行输出。在误码检测中,非零 RD 值的数据块可以避免错误的蔓延。在所传送的数据块中,不平衡度为 0、+2 或者 -2,而且总是有非 0 的不平衡度的数据块出现,此数据块可以将传输中的误码遏止在一定的范围内,而不至于向其他数据块蔓延。

解码器中 RD 值的计算方法和编码器类似,不同的是,解码器只根据此刻所接收到的数据块计算当前的 RD 值。例如,若前一解码数据块的 RD 值为正,即 1 的个数比 0 的个数多,为了使得直流平衡,则此刻接受到的数据块的 RD 值应为负,而实际 RD 值若为正时,则可检测出 RD 值有误。同样,若前一解码数据块的 RD 值为负,而此刻接收到的数据块 0 比 1 的个数多,即 RD 值也为负,则可检测出 RD 值有误, RD 值错误信息由信号 rd_err 指示。另外,若所接收到的数据在编码表中找不到,则可以断定此编码为误码,由信号 $code_err$ 指示。

上述编解码器的实现结构简单,编解码速度比较快,编码和解码均只需 2 个时钟周期。

4 编解码器的验证与实现

VHDL 语言是被广泛采用的 HDL 语言,本文使用该语言对 8B/10B 编解码器^[5]进行了设计实现,在 Modelsim 软件上进行了编解码器的功能

仿真和验证,并完成 FPGA 实现;同时,该设计采用 Design Compiler 工具完成网表生成,可进行 ASIC 实现。

该设计的验证系统如图 5 所示, Testbench_1 与 Testbench_2 分别为 AHB 总线时序生成器和 LVDS 时序发生器,结果比对平台根据 Testbench_1 和 Testbench_2 返回的结果完成结果比对,并生成结果正确指示。 Testbench_1 生成 AHB 总线读写时序,完成编解码数据缓冲区的读写操作,同时将其读写数据反馈给结果比对平台; Testbench_2 模块模拟 LVDS 接口时序完成数据收发功能,并完成接收数据的解码,并将收发数据反馈至结果比对平台;结果比对平台根据所接收到的两方数据完成结果比较,并输出结果指示。依据该验证平台,可进行激励的随机生成与结果自动比对,提高验证效率。编解码模块基于该验证系统,完成模块验证,验证代码覆盖率达到 100%。

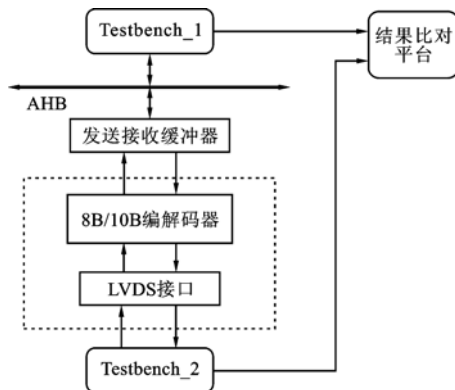


图5 验证系统

图 6 所示为 FPGA 系统验证结构实现连接图,处理器与 LVDS 协议器件均与 Testbench 连接, Testbench 用于 CPU 与 LVDS 器件的通信连接, LVDS 将其发送/接收的数据反馈给 Testbench,并由 Testbench 通过 GPIO 接口通知给 SOC 的处理器,处理器将其发送/接收到的数据与 GPIO 接收到的数据进行比较,并通过 UART 将比较结果打印输出。

经验证,此编解码器能根据输入数据正确地进行编解码,并已完成 FPGA 实现。此外,使用 SMIC 0.13 μm 库,生成其实现网表,该设计的编解码速率可达到 333 MHz,而 LVDS 标准推荐的最高数据传输速率为 655 Mb/s^[6]。由于编解码器每输出一次, LVDS 需串行输出 10 位,因而编解码器的速率满足在 LVDS 中应用的要求,此外,该设计的面积占用为 12 000 μm^2 。(下转第 48 页)

理性能与 Marvell PXA300 相比有明显提升.

参考文献:

- [1] 袁扬智, 韦明, 曾献军. 2D 图像硬件加速引擎的设计优化[J]. 微电子学与计算机, 2009, 26(4): 241-248.
- [2] Microsoft. GDI Functions (Windows CE 5.0) [EB/OL]. [2013-07-10]. <http://msdn.microsoft.com/zh-cn/library/ms927613.aspx>
- [3] Lehmann T M, Gonner C, Spitzer K. Addendum: B-spline interpolation in medical image processing[J]. Medical Imaging IEEE Transactions, 2001, 20(7): 660-665.
- [4] 康牧. 图像处理中几个关键算法的研究[D]. 西安: 西安电子科技大学, 2009.
- [5] 魏美荣, 蒋林. 一种自适应 Catmull-Rom 样条图像缩放算法的设计实现[J]. 微电子学与计算机, 2011, 28(12): 63-67.

- [6] 蒋永刚. 嵌入式多媒体系统中硬件加速技术的应用[D]. 上海: 上海交通大学, 2009.

作者简介:



王 汐 男, (1989—), 硕士研究生. 研究方向为专用集成电路设计与集成系统.

蒋 林 男, (1970—), 教授, 硕士生导师. 研究方向为专用集成电路设计.

张 敏 女, (1990—), 硕士研究生. 研究方向为网络与多媒体通信.

(上接第 43 页)

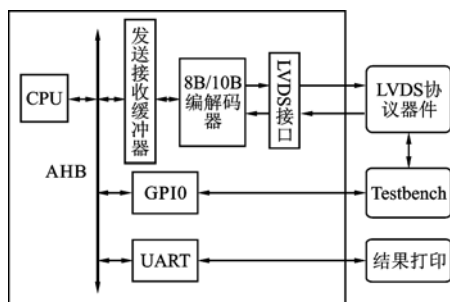


图 6 FPGA 系统验证实现

5 结束语

本文在分析 8B/10B 编码规则的基础上, 提出了一种编解码的方案. 采用 VHDL 语言完成了设计实现, 在 Modelsim 上进行了仿真, 并做了 FPGA 器件验证, 验证结果完全正确. 该方案层次分明、结构简单、编解码速度快, 满足在 LVDS 中应用的设计要求.

参考文献:

- [1] 陈锋. 基于 FPGA 的 8B/10B 编解码设计[J]. 电子设计工程, 2010, 18(5): 152-154.
- [2] 许军, 许西荣. PCI-Express 中 8B/10B 编解码器的设计与实现[J]. 微电子学与计算机, 2006, 23(3): 37-39.
- [3] Lattice Semiconductor Corp. 8b/10b Encoder/Decoder [EB/OL]. [2013-06-20] (2012-02-15). www.lattice-emi.com.
- [4] Widmer A X, Franszek P A. A DC balanced, partitioned block, 8B/10B transmission code[J]. IBM J. RES. DEVELOP, 1983, 27(5): 440-451.
- [5] 李宥谋. 8B/10B 编码器的设计及实现[J]. 电讯技术, 2005(6): 26-32.
- [6] 司朝良. LVDS 接口电路及设计[J]. 今日电子, 2003(1): 17-18.

作者简介:

杨 佩 女, (1985—), 硕士研究生. 研究方向为计算机应用.